

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)



Generate Collection

L2: Entry 2 of 4

File: JPAB

May 25, 2001

PUB-NO: JP02001144095A

DOCUMENT-IDENTIFIER: JP 2001144095 A

TITLE: METHOD OF MANUFACTURING SEMICONDUCTOR WAFER INCLUDING ANNEALING AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

PUBN-DATE: May 25, 2001

INVENTOR-INFORMATION:

NAME

COUNTRY

BOKU, SEIU

SO, GENSHO

BOKU, TAISHO

RI, KANSHIN

BOKU, KEIEN

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SAMSUNG ELECTRONICS CO LTD

APPL-NO: JP2000287096

APPL-DATE: September 21, 2000

PRIORITY-DATA: 1999KR-9940652 (September 21, 1999)

INT-CL (IPC): H01 L 21/324

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor wafer and a semiconductor device which includes annealing, a process of curing defects on the semiconductor wafer or on the surface of a semiconductor device to reduce a surface roughness caused by the defects.

SOLUTION: A semiconductor wafer or semiconductor device having surface defects generated in a stage of manufacturing the semiconductor wafer or in a specified process of manufacturing the semiconductor device is annealed in a hydrogen gas atmosphere including a semiconductor material source gas at low temperatures of 950°C or lower in a high vacuum of 102 Torr or below. This annealing process can be applied mainly to a polishing process for manufacturing the wafer, or an ion implantation process, a dry etching process or a chemical mechanical polishing process for manufacturing the semiconductor device. This annealing can be executed at low temperatures and in a short time, increasing the reliability and economy of the device.

COPYRIGHT: (C)2001,JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144095

(P2001-144095A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) IntCl⁷

H01L 21/324

識別記号

F I

H01L 21/324

テマコード (参考)

X

審査請求 未請求 請求項の数30 O L (全 12 頁)

(21) 出願番号 特願2000-287096(P2000-287096)

(22) 出願日 平成12年9月21日 (2000.9.21)

(31) 優先権主張番号 99P40652

(32) 優先日 平成11年9月21日 (1999.9.21)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 朴 正 雨

大韓民国ソウル特別市江南区逸院洞 ブル
ンマウルアパート107棟1404号

(72) 発明者 宋 源 ▲しょう▼

大韓民国ソウル特別市瑞草区瑞草洞1686-
4番地 錦湖アパートNa棟712号

(74) 代理人 100072349

弁理士 八田 幹雄 (外4名)

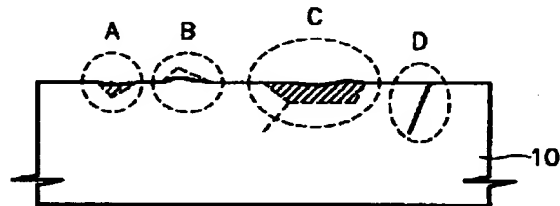
最終頁に続く

(54) 【発明の名称】 アニールングを伴った半導体ウェーハの製造方法及び半導体素子の製造方法

(57) 【要約】

【課題】 半導体ウェーハまたは半導体素子の基板表面に存在する欠陥をキュアリングし、それに起因する表面粗さを改善させるアニールングを伴った半導体ウェーハ及び半導体素子の製造方法を提供する。

【解決手段】 半導体ウェーハの製造段階または半導体素子の特定工程段階で発生した表面欠陥が存在する半導体ウェーハまたは半導体素子を 10^{-2} Torr 以下の高真空、950℃以下の低温及び半導体物質ソースガスを含む水素ガス雰囲気下でアニールングさせる。本発明のアニールングが主として適用される段階としては、ウェーハを製作するためのポリシング段階、半導体素子を製造するための各種のイオン注入段階、ドライエッチング段階、化学的及び機械的ポリシング段階がある。本発明によれば、低温で、かつ、短時間内にアニールングがなされるので、素子の信頼性及び経済性が向上される。



【特許請求の範囲】

【請求項1】 半導体インゴットから半導体ウェーハを形状化する段階と、前記半導体ウェーハの表面をポリシングする段階と、

前記ポリシングされた半導体ウェーハを 10^{-2} Torr以下の高真空、950℃以下の低温及び半導体物質ソースガスを含むガス雰囲気下でアニーリングさせる段階とを具備することを特徴とするアニーリングを伴った半導体ウェーハの製造方法。

【請求項2】 前記半導体ウェーハは、ベアウェーハであることを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項3】 前記半導体ウェーハは、SOIウェーハまたはSOSウェーハであることを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項4】 前記ポリシング段階は、ミラーポリシング段階であることを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項5】 前記ポリシング段階は、化学的及び機械的ポリシング段階であることを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項6】 前記アニーリング段階は、 10^{-11} ないし 10^{-2} Torrの真空範囲内で行われることを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項7】 前記アニーリング段階は、400℃ないし950℃の温度範囲内で行われることを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項8】 前記アニーリング段階は、30分間以下の時間範囲で行われることを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項9】 前記アニーリング段階に含まれる半導体ソースガスは、シラン(SiH_4)ガス、ジシラン(Si_2H_6)ガス、ジクロロシラン($\text{Si}_2\text{H}_2\text{Cl}_2$)ガスおよびゲルマン(GeH_4)ガスよりなる群から選ばれたいずれか一つであることを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項10】 前記アニーリング段階は、一定時間水素ガス雰囲気下で行なった後に、続いて前記半導体物質ソースガスを添加して行なうことを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項11】 前記アニーリング段階でのガスフローは、水素ガス1ないし500sccmに対して前記半導体物質ソースガスが0.1ないし1sccmであることを特徴とする請求項10に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項12】 前記アニーリング段階は、一定時間水

素ガス雰囲気下で行なった後に、続いて前記半導体物質ソースガスのみの雰囲気下で行なうことを特徴とする請求項1に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項13】 その表面に結晶欠陥を有する半導体基板の少なくとも一部が露出される半導体素子を製造するための特定工程を行なう段階と、

前記半導体基板を 10^{-2} Torr以下の高真空、950℃以下の低温及び半導体物質ソースガスを含むガス雰囲気下でアニーリングさせる段階とを具備することを特徴とするアニーリングを伴った半導体素子の製造方法。

【請求項14】 前記特定工程を行なう段階は、半導体基板の少なくとも一部が露出されるように行われる化学的及び機械的ポリシング段階であることを特徴とする請求項13に記載のアニーリングを伴った半導体素子の製造方法。

【請求項15】 前記化学的及び機械的ポリシング段階は、半導体基板内にトレンチを形成した後、前記トレンチ内に充填物質を充填した後に行われることを特徴とする請求項14に記載のアニーリングを伴った半導体素子の製造方法。

【請求項16】 前記トレンチは、半導体記憶素子または半導体論理回路素子のSTI用トレンチであることを特徴とする請求項15に記載のアニーリングを伴った半導体素子の製造方法。

【請求項17】 前記特定工程を行なう段階は、半導体基板の少なくとも一部が露出されるように行われるドライエッチング段階であることを特徴とする請求項13に記載のアニーリングを伴った半導体素子の製造方法。

【請求項18】 前記特定工程を行なう段階は、前記半導体基板の表面上に形成されたエッチングマスクパターンを用いるドライエッチング工程を行なってトレンチを形成する段階を具備することを特徴とする請求項17に記載のアニーリングを伴った半導体素子の製造方法。

【請求項19】 前記エッチングマスクパターンは、酸化膜及び窒化膜の積層パターンまたはフォトレジストパターンであることを特徴とする請求項18に記載のアニーリングを伴った半導体素子の製造方法。

【請求項20】 前記特定工程を行なう段階は、半導体基板の少なくとも一部に対して行われるイオン注入段階であることを特徴とする請求項13に記載のアニーリングを伴った半導体素子の製造方法。

【請求項21】 前記アニーリング段階は、 10^{-11} ないし 10^{-2} Torrの真空範囲内で行われることを特徴とする請求項13に記載のアニーリングを伴った半導体素子の製造方法。

【請求項22】 前記アニーリング段階は、400℃ないし950℃の温度範囲内で行われることを特徴とする請求項13に記載のアニーリングを伴った半導体素子の製造方法。

【請求項23】 前記アニーリング段階は、30分間以下の時間範囲内で行われることを特徴とする請求項13に記載のアニーリングを伴った半導体素子の製造方法。

【請求項24】 前記アニーリング段階に含まれる半導体ソースガスは、シラン(SiH_4)ガス、ジシラン(Si_2H_6)ガス、ジクロロシラン($\text{Si}_2\text{H}_2\text{Cl}_2$)ガスおよびゲルマン(GeH_4)ガスよりなる群から選ばれたいずれか一つであることを特徴とする請求項13に記載のアニーリングを伴った半導体素子の製造方法。

【請求項25】 前記アニーリング段階は、一定時間水素ガス雰囲気下で行なった後に、続いて前記半導体物質ソースガスを添加して行なうことを特徴とする請求項13に記載のアニーリングを伴った半導体素子の製造方法。

【請求項26】 前記アニーリング段階でのガスフローは、水素ガス50ないし500sccmに対して前記半導体物質ソースガスが0.1ないし1sccmであることを特徴とする請求項25に記載のアニーリングを伴った半導体素子の製造方法。

【請求項27】 前記アニーリング段階は、一定時間水素ガス雰囲気下で行なった後に、続いて前記半導体物質ソースガスのみの雰囲気下で行なうことを特徴とする請求項13に記載のアニーリングを伴った半導体素子の製造方法。

【請求項28】 半導体インゴットから半導体ウェーハを形状化する段階と、

前記半導体ウェーハの表面をポリシングする段階と、
前記ポリシングされた半導体ウェーハを 10^{-2}Torr 以下の高真空、950℃以下の低温及び水素ガス雰囲気下でアニーリングさせる段階とを具備することを特徴とするアニーリングを伴った半導体ウェーハの製造方法。

【請求項29】 前記アニーリング段階は、 10^{-11} ないし 10^{-2}Torr の真空範囲内で行われることを特徴とする請求項28に記載のアニーリングを伴った半導体ウェーハの製造方法。

【請求項30】 前記アニーリング段階は、400℃ないし950℃の温度範囲内で行われることを特徴とする請求項28に記載のアニーリングを伴った半導体ウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体ウェーハの製造方法及び半導体素子の製造方法に係り、より詳細には、半導体ウェーハまたは半導体基板の表面に存在する結晶欠陥をアニーリング処理してキュアリングするアニーリングを伴った半導体ウェーハまたは半導体素子の製造方法に関する。

【0002】

【従来の技術】半導体素子の高集積化、微細化が進むに伴い、半導体基板の表面に存在する結晶欠陥は半導体素

子の耐圧特性、漏れ電流特性などを低下させる主たる要因として作用するため、このような欠陥をキュアリングすることは半導体素子の信頼性及び収率につながることであって、生産現場での主たるコントロール項目となる。

【0003】図1は、半導体ウェーハ10の表面に存在する結晶欠陥の例を概略的に示すものである。図中、“A”はマイクロピットを、“B”は表面突出部を、“C”はマイクロボイドあるいは積層欠陥を、そして“D”はスレディング転位を各々概略的に表わす。

【0004】このような結晶欠陥は、シリコンインゴットからウェーハを製作するウェーハリング過程で発生する。ウェーハリング工程とは、インゴット状態のシリコン単結晶をウェーハの形態にスライシングし、これを粗くグラインディングするラッピング及び角を取るチャンファリングをし、次に表面を滑らかにするためのミラーポリシング(mirror-polishing)及び洗浄工程を行ってウェーハを製作することをいう。このとき、ミラーポリシング後に残存する表面の損傷や汚れ物を除去するために、化学的及び機械的ポリシング(Chemical Mechanical Polishing;CMP)をさらに رفتたりもする。前記表面の結晶欠陥は、主としてミラーポリシングや化学的及び機械的ポリシングを行なった後に発生する。

【0005】このようなシリコンウェーハ上の結晶欠陥をキュアリングするための従来の技術が、米国特許第5,744,401号に開示されている。前記特許では、一定の範囲内の表面粗さ(R_a 、 R_q 、 R_t 、 R'_a 、 rms 、 $P-V$)を有するシリコンウェーハを水素ガス雰囲気下で、かつ1200℃以上の温度で30分間～4時間熱処理することで、より向上された表面粗さを有させる方法が開示されている。しかし、前記特許は、多量の水素を使って雰囲気を形成するために工程の危険性が增大するだけでなく、高温で長時間熱処理を行なうため、今後極微細素子の製造に際してより厳しく適用されるサーマルバジェット(thermal budget)の制限を一層大きく受けることになる。特に、このような高温で長時間熱処理を行なう場合、300mm程度の大口徑ウェーハを製造する場合スリップなどが発生する可能性が高く、かつ、ストレスに弱くなる問題があり、高温で長時間熱処理を行なうために生産性及び経済性に劣る短所がある。

【0006】その一方、シリコンウェーハ上の結晶欠陥を低減するための従来の他の技術が特開平8-45947号に開示されている。前記技術では、結晶欠陥が存在するシリコンウェーハを微量のシラン(SiH_4)またはジシラン(Si_2H_6)ガスと水素ガスまたは不活性ガスの混合ガス雰囲気下で、かつ1000℃～1350℃の温度範囲で10分間以上熱処理を行なうことで結晶欠陥が低減する。しかし、前記技術は、基板の内部の酸素析出物がシリコン基板の冷却または熱処理過程でより大

きい酸素析出物に成長して基板表面での転位または積層欠陥などの2次欠陥の誘発を防止するために、基板表面で酸素の蒸発を促進させることで基板の表面に存在する酸素析出物の低減を目指したことであって、この技術もまた高温で長時間熱処理を行なうためにサーマルバジットに対する制限を受け易く、素子の特性の劣化が起こるという短所がある。

【0007】

【発明が解決しようとする課題】本発明は上記事情に鑑みて成されたものであり、その目的は、半導体ウェーハの表面に存在する欠陥または半導体素子を製造するための特定工程を行なうことで半導体基板の表面に発生する欠陥に起因する表面粗さを改善させ、これにより後続する薄膜の蒸着に際して表面モフォロジ(morphology)を向上させることのできるアニーリングを伴った半導体ウェーハ及び半導体素子の製造方法を提供することにある。

【0008】本発明の他の目的は、半導体ウェーハまたは半導体素子が形成される半導体基板の表面に存在する欠陥を低温領域で短時間にキュアリング(curing)することで、後続して製作される半導体記憶装置のリフレッシュ特性、耐圧特性などを向上させることのできるアニーリングを伴った半導体ウェーハ及び半導体素子の製造方法を提供することにある。

【0009】本発明のさらに他の目的は、半導体ウェーハまたは半導体素子が形成される半導体基板の表面に存在する欠陥を低温領域でキュアリングすることで、サーマルバジットの制限から自由なアニーリングを伴った半導体ウェーハ及び半導体素子の製造方法を提供することにある。

【0010】本発明のさらに他の目的は、半導体ウェーハまたは半導体素子が形成される半導体基板の表面に存在する欠陥を短時間にキュアリングすることで、製品の量産性及び経済性を向上させることのできるアニーリングを伴った半導体ウェーハ及び半導体素子の製造方法を提供することにある。

【0011】

【課題を解決するための手段】前記本発明の諸目的は、半導体ウェーハの製作段階または半導体素子を製造するための特定工程段階で発生した表面欠陥が存在する半導体ウェーハまたは半導体基板を高真空下で、かつ、低温短時間アニーリングすることにより達成される。

【0012】本発明の第1形態によれば、半導体インゴットから半導体ウェーハを形状化する段階、前記半導体ウェーハの表面をポリシングする段階及び前記ポリシングされた半導体ウェーハを 10^{-2} Torr以下の高真空、950℃以下の低温及び半導体物質ソースガスを含むガス雰囲気下でアニーリングさせる段階を具備するアニーリングを伴った半導体ウェーハの製造方法が提供される。

【0013】前記製造方法が適用できる半導体ウェーハ

としては、表面欠陥が存在してキュアリングが要される全てのウェーハが含まれ、例えば、ベア(bare)ウェーハまたはSOI (Silicon On Insulator) ウェーハ、或いはSOS (Silicon On Sapphire) ウェーハが挙げられる。その一方、前記アニーリング段階が行われる段階は、ウェーハの表面欠陥が誘発される工程段階の直後が含まれ、例えば、ウェーハの表面をポリシングした後に発生する表面欠陥をキュアリングするためにアニーリング段階が挙げられ、前記ポリシング段階はミラーポリシング段階または化学的及び機械的ポリシング段階が好ましい。

【0014】前記アニーリング段階の好ましい工程条件としては、 10^{-11} ~ 10^{-2} Torrの真空範囲内、400℃~950℃の温度範囲内、30分間以下の時間範囲内が挙げられる。また、前記アニーリング段階に含まれる半導体物質ソースガスとしては、シリコンやゲルマニウムなどの半導体物質を提供できるものであればよく、好ましくは、ゲルマン(GeH_4)ガスなどを使用できる。

【0015】その一方、前記アニーリング段階は、一定時間水素ガス雰囲気下で行なった後に、続いて前記半導体物質ソースガスを添加して行なうこともでき、一定時間水素ガス雰囲気下で行なった後に、続いて前記半導体物質ソースガスのみの雰囲気下で行なうこともでき、あるいは一定時間水素ガス雰囲気下でのみ行なうこともできる。

【0016】本発明の第2形態によれば、その表面に結晶欠陥を有する半導体基板の少なくとも一部が露出される半導体素子を製造するための特定工程を行なう段階及び前記半導体素子を 10^{-2} Torr以下の高真空、950℃以下の低温及び半導体物質ソースガスを含むガス雰囲気下でアニーリングさせる段階を具備するアニーリングを伴った半導体素子の製造方法が提供される。

【0017】前記表面に欠陥を有する半導体基板の少なくとも一部が露出される特定工程を行なう段階は、半導体ベアウェーハから半導体素子を具現する全ての工程過程で各種の形態が含まれ、具体的には、化学的及び機械的ポリシング段階、ドライエッチング段階、イオン注入段階などが挙げられる。

【0018】前記本発明の第2形態によるアニーリング段階の真空度、温度、時間、ガス雰囲気などの工程条件は、本質的に前記第1形態の工程条件と同様である。

【0019】本発明によれば、高真空下でアニーリングが行われるために、不純物残留ガスレベルが低くて半導体ウェーハまたは半導体基板の表面がきれいに保たれ、その結果少ない熱的活性化によっても表面に吸着した原子の高い表面移動度及び長い拡散距離が得られるので、相対的に低温短時間に目的の欠陥のキュアリングが達成できる。さらには、本発明によれば、半導体物質ソースガスを外部から供給しているため、欠陥部位に半導体物

質が速く供給されてより速いキュアリング効果を得ることができる。

【0020】特に、本発明によれば、下部膜質の欠陥状態を保ちながら下部膜質上に特定膜質が成長していくエピタクシャル工程とは異なって、外部から供給される半導体物質ソースガスの粒子が下部膜質に形成された欠陥を除去するために表面から欠陥サイトに移動するという点で区別される。

【0021】

【発明の実施の形態】以下、添付した図面に基づき、本発明の好ましい実施例を詳細に説明する。

【0022】本発明は、基本的に、アニーリングを通じて半導体ベアウェーハまたは半導体素子の製造工程の特定工程段階にある半導体基板の表面に存在する結晶欠陥による表面粗さを改善し、表面の欠陥をキュアリングする方法に関するものであり、以下では、半導体素子の製造工程で本発明によるアニーリング工程が行われる各段階を各実施例を通じて説明するが、本発明は以下の各実施例に限定されるものではなく、本発明の思想範囲内で各種の形態に変形実施できるのはもちろんのことである。

【0023】＜第1実施形態＞図2は、本発明の第1実施形態を説明するための図面であって、シリコンベアウェーハ10に対する本発明の原理を適用したことを表わす。図面から、図1のシリコンウェーハ10の表面欠陥がキュアリングされ、かつ、表面粗さが向上されたことが分かる。

【0024】まず、第1実施形態が適用されたシリコンベアウェーハ10の製作過程及び表面欠陥の発生段階について簡単に述べる。これは、本発明のアニーリング工程の適用段階を設定する上で重要な要因となる。

【0025】前記シリコンウェーハ10は、チョクラスキー法(CZ法)またはフローティングゾーン(FZ)法により製作されるシリコン単結晶インゴットから製作される。すなわち、アスーグロウン(as-grown)されたシリコン単結晶インゴットをスライス状にスライシングする。スライシングされたスライスの厚さは十分に厚いために、特定の厚さ偏差以内にスライスの両面を酸化アルミニウム及びグリセリンの混合物などを使ってラッピング及びグラインディングし、このとき、スライスの平坦度が増加される。

【0026】続いて、スライスのエッジをラウンディング(rounding)してウェーハ状に形状化する。エッジラウンディングは、後続する熱処理工程時に発生するスリップがエッジの欠陥領域から始まるという点を考慮して丹念に行なう。次に、前記ウェーハの形状化段階で発生したダミッジや汚れ物をケミカル(化学薬品)を使ってウェット方式で除去する。

【0027】次に、半導体素子が具現されるウェーハの片面をスクラッチやダミッジのない面にするため、ポリ

シングを行なう。前記ポリシングは、前述した米国特許第5,744,401号に開示されているように、ポリシング粒子及びポリシング布を使用したミラーポリシングの方法を使用するか、または、化学的及び機械的ポリシング(CMP)の方法を使用して行なう。このようにポリシングされたシリコンウェーハは、洗浄工程を経て最終的に製品として完成される。

【0028】しかし、前述のようにポリシングされたウェーハであっても、該表面はエネルギー的にも不安定であるだけでなく、外部環境下に露出されるものであるため、物理的にも不安定であり、図1から明らかなように、マイクロビット(A)、表面突出部(B)、マイクロボイドまたは積層欠陥(C)及び転位(D)などの各種の結晶欠陥が存在する。このようなシリコンウェーハ10の表面欠陥は後続する薄膜の蒸着に際してモフォロジ特性を悪化させるだけでなく、後続して蒸着されるゲート酸化膜の耐圧特性、漏れ電流特性、静電特性などを劣化させる要因となり、その結果、半導体記憶装置のリフレッシュ特性を大幅に低下させるようになる。

【0029】したがって、本発明の第1実施形態では、前記シリコンウェーハ10に対するポリシング段階が終わった後直ちに、その発生した表面欠陥をキュアリングするためのアニーリング工程を行なう。

【0030】通常、アニーリングとは、半導体素子の製造工程中にウェーハを一定時間高い温度で熱処理することをいい、1)イオン注入された不純物の活性化、2)シリコン内での不純物の拡散、3)イオン注入などによって損傷または非晶質化したシリコンのキュアリングまたは再結晶化などのために行われる。これらの過程は、アニール装置から外的に供給される熱エネルギーを駆動力とする熱的活性化過程によってなされる。このようなアニーリング工程は、概ね1000℃以上の温度で数十分間ないし数時間にわたって行われてこそ十分なアニーリング効果を発揮するが、その一方では、高温で長時間熱処理する間に半導体基板内に活性領域、接合領域、ストップ領域など各種の目的から注入された不純物が目的としていない領域まで拡散するという問題点も生じている。したがって、このような問題点により、最近、半導体素子の集積度が高くなるに伴い、アニーリングの目的が拡散よりも主として不純物の熱的活性化やデミッジのキュアリングにより集中する傾向がある。

【0031】この実施形態は、イオン注入された不純物の熱的活性化や拡散に関するものではなく、ウェーハの製作過程でポリシングによって引き起こされたウェーハ表面の結晶欠陥をキュアリングすると共に、表面粗さを改善するものであるから、アニーリングの工程条件を新たに定立する必要性から発明されたものである。

【0032】第1実施形態のアニーリング段階の工程条件は、以下の通りである。真空条件として、ベース真空が少なくとも 10^{-2} Torr以下、好ましくは、10

ないし 10^{-2} Torrである超高真空が保たれる反応炉でアニーリングが行われる。このようにアニーリングの真空条件を超高真空の環境としたのは、超高真空下では不純物残留ガスレベルが極めて低いため、シリコンウェーハ10の表面がきれいに保たれるからである。

【0033】第1実施形態のアニーリング温度条件は、通常のアニーリング温度よりも相対的に低温である400℃ないし950℃、好ましくは、750℃ないし850℃の範囲内で行われる。アニーリング温度があまりにも高くなると、サーマルバジットの制限を受け、その一方、アニーリング温度があまりにも低くなると、十分なアニーリング効果を発揮できないため、適宜なアニーリング温度の妥協の上で上述した温度範囲が設定されたのである。特に、前述したように、反応炉が超高真空の環境下ではウェーハの表面がきれいに保たれるため、少ない熱的活性化によってもウェーハの表面に吸着した原子は高い表面移動度を得ることができるといふ長所がある。このことは、アニーリング温度をより低くできるという点で有利である。

【0034】第1実施形態の雰囲気ガスの条件は、水素ガスを基本として下記の3種の形態で施した。

1) アニーリングの全ての過程に水素ガスのみを流した場合

2) アニーリングの初期には水素ガスのみを流し、一定時間(アニーリング温度に基づき数分ないし数10分)経過後には水素ガスに半導体物質ソースガスを添加して流した場合

3) アニーリングの初期には水素ガスのみを流し、一定時間(アニーリング温度に基づき数分ないし数10分)経過後には半導体物質ソースガスのみを流した場合
アニーリング中の工程圧力は、数百Torrないし 10^{-9} Torr程度の低圧に保たれ、供給される水素ガスは1ないし500sccmの範囲内で制御され、微量添加される半導体物質ソースガスは0.1ないし1sccmの範囲内に制御される。前記半導体物質ソースガスとしてはシラン(SiH_4)ガスを使用した。アニーリング中に半導体物質を与えることのできるジシラン(Si_2H_6)ガス、ジクロロシラン($\text{Si}_2\text{H}_2\text{Cl}_2$)ガスまたはゲルマン(GeH_4)ガスなどに対しても同様に適用できるのはもちろんのことである。

【0035】一方、アニーリング初期が常に水素ガス雰囲気中で存在することは、ウェーハの表面の自然酸化膜を除去できるという点で有利だからである。前述したアニーリングの1)過程のように、水素ガスのみの雰囲気下でアニーリングの全ての過程を行なっても、表面欠陥に対するキュアリング効果を示されるが、この場合には、水素ガスから分離された水素原子がシリコンウェーハの表面に吸着した後にシリコン間の結合を切る必要があり、バルクシリコンの移動によって欠陥のキュアリングがなされるため、相対的に長時間のアニーリングが要さ

れる。

【0036】これに対し、前述したアニーリングの2)及び3)過程のように、半導体物質ソースガスを供給する場合には、これらのガスから分離されたシリコン、ゲルマニウムなどの半導体物質が表面欠陥の存在する部位により容易に接近できるので、短時間にキュアリング効果が得られる。

【0037】前述した真空条件、温度条件及びガス条件下で、第1実施形態のアニーリング時間は数分間ないし30分間程度であり、好ましくは、10分間以下の短時間、より好ましくは、3分間ないし5分間であっても目的のキュアリングが達成できる。

【0038】以上述べたように、第1実施形態によれば、ウェーハの表面に存在する表面欠陥が低温下で短時間にキュアリングされ、このような欠陥による表面粗さもアニーリング中に大分改善されるため、後続して形成される半導体素子の信頼性も大幅に向上される。

【0039】<第2実施形態>図3は、本発明の第2実施形態を説明するための図面であって、本発明の原理が適用されるSOIウェーハの断面図である。前記SOIウェーハの断面構造は、基板30とシリコン層24との間に絶縁層22が挟み込まれた構造となっており、従来の典型的なシリコンウェーハがウェーハの電気的な活性領域がウェーハの表面近くに限定されるにも拘わらず、安定性の点から相対的に厚く形成されるために発生する電力消費または動作速度の低下を克服するための次世代ウェーハとして開発されたものである。

【0040】前記SOIウェーハの製作過程も各種の方法により開発されてきたが、活性領域が形成されるべきシリコン層24の最終厚さを制御するためにグラインディングし、次にシリコン層24の表面の汚れ物の除去及びデミッジの除去のためにポリシングを行なう。この場合にも典型的なシリコンウェーハと同様に、表面欠陥が存在することになる。

【0041】このような表面欠陥をキュアリングするためにアニーリング工程を行なうことになり、そのアニーリングの工程条件は、基本的に前述した第1実施形態の工程条件と同様に適用される。

【0042】一方、本発明の原理は、サファイア上にエピタキシャルシリコン層を形成してなるSOSウェーハに対しても適用できるのはもちろんのことである。

【0043】<第3実施形態>図4A及び図4Bは、本発明の第3実施形態を説明するための図面であって、半導体記憶素子または半導体論理回路素子の製造過程にSTIトレンチを形成する過程を示す断面図である。

【0044】半導体装置製造に広く用いられる、選択的酸化による素子分離方法(Local Oxidation of Silicon; LOCOS)は、工程が簡単であるという利点はあるが、256M DRAM級以上の高集積化した半導体装置においては、素子分離の幅が減少するに従い、酸化時に伴

10

20

30

40

50

われるバズビークによるバンスルーや、フィールド酸化膜の厚さ減少などの問題点が発生しており、これを改善するための方法の一つとして、浅いトレンチ分離(Shallow Trench Isolation; STI)法が提案されている。

【0045】図4A及び図4Bを参照すれば、半導体基板30上にパッド酸化膜32及びシリコン窒化膜34を形成し、シリコン窒化膜34上にトレンチが形成されるべき部分を露出させるためのフォトレジストパターン36を形成する。これをエッチングマスクとしてシリコン窒化膜34及びパッド酸化膜32をパターンニングする。そして、フォトレジストパターン36を除去した後に、パターンニングされたシリコン窒化膜34及びパッド酸化膜32をエッチングマスクとして下部の半導体基板30をドライエッチングすることでトレンチ38を形成する。次に、前記トレンチ38に絶縁物質(図示せず)を埋め込んで素子分離層を形成する。

【0046】本発明の第3実施形態は、前記STIトレンチ形成過程でトレンチ38の形成のためのドライエッチング工程が行われた後、露出された半導体基板30の表面に存在する欠陥をキュアリングすることに関連がある。すなわち、前記ドライエッチング工程によりトレンチ38を形成した後、本発明のアニーリング工程を行った後に後続してトレンチ38を埋め込むのである。

【0047】前記ドライエッチング工程により形成されたトレンチ38の底面38a及び側壁38bにはマイクロピット、積層欠陥、マイクロボイド、転位などの各種の表面欠陥が存在するだけでなく、トレンチの底面38a及び側壁38bが接するコーナー及びトレンチの上側エッジ部位の表面状態は極めて粗く、段差などが形成されているために、リフレッシュ特性など素子の信頼性を低下させる要因として作用する。

【0048】したがって、第3実施形態は、ドライエッチング工程によりアタックを受けた半導体基板30の露出された表面の表面欠陥をキュアリングし、表面粗さを改善してスームズニング(smoothing)すること以外に、トレンチ38のコーナー及びエッジ部位をラウンディングすることを目的とする。

【0049】第3実施形態のアニーリング段階の工程条件も、基本的に第1実施形態と同様である。すなわち、真空条件として、ベース真空が少なくとも 10^{-2} Torr以下、好ましくは、 10^{-11} ないし 10^{-2} Torrの超高真空が保たれる反応炉でアニーリングが行われる。アニーリングの温度条件は、通常のアニーリング温度よりも相対的に低温である400℃ないし950℃、好ましくは、750℃ないし850℃の範囲内である。雰囲気ガス条件及び温度条件も、基本的に同様の原理によって設定される。

【0050】〈第4実施形態〉図5Aないし図5Cは、本発明の第4実施形態を説明するための図面であって、

半導体素子の製造過程中にSSTI (Simplified Shallow Trench Isolation) トレンチを形成する過程を示す断面図である。

【0051】第3実施形態が適用されるSTI法は、素子分離膜の形成において熱酸化工程により引き起こされる前記LOCOS法の短所をある程度減らすことができ、高集積化に適した素子分離膜の形成が可能であるが、製造工程が複雑であるため、製造コストが増大する問題点がある。この問題点を考慮して、その工程過程を単純化させたのが前述したSSTI法である。

【0052】図5Aを参照すれば、半導体基板40上に直接にエッチングマスクとして用いられるフォトレジストパターン42を形成する。次に、前記フォトレジストパターン42をエッチングマスクとして前記半導体基板40を所定深さまでエッチングすることで前記基板40内にトレンチ44を形成する。

【0053】図5Bを参照すれば、前記フォトレジストパターン42を除去した後、前記トレンチ44の内壁に欠陥除去及び漏れ電流の防止のための薄い熱酸化膜46を形成する。次に、前記トレンチ44を絶縁層である酸化膜48で埋め込む。

【0054】図5Cを参照すれば、前記結果物に対し前記半導体基板40の表面が露出するまで化学的及び機械的ポリッシング(CMP)工程を行い、素子分離膜49を形成する。

【0055】本発明の第4実施形態は、前記素子分離膜49を形成するためのCMP工程が終わった後、露出された半導体基板40の表面に存在する欠陥をキュアリングし、かつ表面粗さを改善することにある。第4実施形態のアニーリング段階の工程条件も、基本的に第1実施形態と同様である。

【0056】一方、本発明の第4実施形態と類似に、図面には示さなかったが、前述した第3実施形態のSTI法の場合で、図4Bのトレンチ38を絶縁物質で埋め込んだ後に半導体基板30が露出するまで化学的及び機械的ポリッシング段階を行なった後にも、本発明のアニーリング工程を同様に適用できる。

【0057】また、図5Bのように、トレンチ44内に絶縁物質を埋め込む前に形成された酸化膜46に代えて窒化膜を形成した後に絶縁物質を埋め込み、やはり半導体基板が露出するまで化学的及び機械的ポリッシング段階を行なう場合にも同様に適用できるのはもちろんのことである。

【0058】図11は、本発明の効果を確認するために、図5Cの段階後の本発明のアニーリング工程が終わった後、半導体基板40の全面にゲート酸化膜を形成した後、ゲート酸化膜のプレーキダウン電荷の変化過程を示すグラフである。

【0059】前述したグラフから明らかなように、ポリッシング後に本発明のアニーリングを行なわなかった状態

10

20

30

40

50

でゲート酸化膜を形成した場合に比べて、高温の犠牲酸化処理及び本発明によるアニーリングを行なった場合が、全体としてブレーキダウン電荷が良好にシフトしたことが分かる。特に、水素ガス雰囲気でシリコンガスを含んでアニーリング処理を施した場合には、水素ガス雰囲気でのみアニーリングを行なった場合よりも、初期不良が顕著に少ないことが分かる。

【0060】<第5実施形態>図6A及び図6Bは、本発明の第5実施形態を説明するための図面であって、半導体素子の製造過程にゲート電極の側壁にスペーサを形成する過程を示す断面図である。

【0061】図6Aを参照すれば、半導体基板50上に所定の蒸着及びエッチング工程などを施してゲート絶縁膜52及びゲート電極54からなるゲート構造を形成し、基板の全面に絶縁物質52、例えば、酸化膜または窒化膜を蒸着させる。次に、図6Bを参照すれば、前記絶縁物質52を半導体基板50が露出するまでエッチバックすれば、ゲート構造の側壁にスペーサ58が形成される。このとき、露出される半導体基板50の表面はドライエッチングによるダミッジを受けるために、各種の表面欠陥が引き起こされる。

【0062】したがって、前記表面欠陥をキュアリングし、このような表面欠陥による表面粗さを改善するために、本発明によるアニーリング工程を行なう。第5実施形態のアニーリング段階の工程条件も、基本的に第1実施形態と同様である。

【0063】特に、第5実施形態の場合、半導体基板50に既に不純物が注入された状態であるため、低温短時間にアニーリング工程を行なうことにより目的としない領域への不純物の拡散を防止できるという側面から、その効果は一層増大する。

【0064】図9及び図10は、本発明の第5実施形態によるアニーリング工程を行なう前後の表面構造を各々AFM (Atomic Force Microscope) 分析した結果を示す写真である。この写真から、スペーサ58形成のためのエッチング工程を行なった後の露出された半導体基板50の表面は極めて粗く、かつ、マイクロピット、ボイドなどの欠陥が多数存在していたが、本発明のアニーリング処理後にはこれらの欠陥が迅速にキュアリングされてなくなり、かつ、表面粗さも大幅に向上されたことが分かる。

【0065】<第6実施形態>図7A及び図7Bは、本発明の第6実施形態を説明するための図面であって、半導体素子の製造過程に金属配線を施すために、トランジスタのソース及びドレイン領域(図示せず)に金属コンタクト(Metal Contact; MC)ホールを形成する過程を示す断面図である。

【0066】図7Aを参照すれば、半導体基板60上に所定の蒸着及びエッチング工程などを施して、ゲート絶縁膜62及びゲート電極64からなるゲート構造を形成

し、基板の全面に絶縁物質を蒸着させた後、前記絶縁物質を半導体基板60が露出するまでエッチバックしてゲート構造の側壁にスペーサ66を形成する。次に、基板の全面に層間絶縁物68を形成させる。

【0067】次に、図7Bを参照すれば、トランジスタのソース及びドレイン領域に金属配線を施すためのメタルコンタクトホール69を形成する。前記メタルコンタクトホール69は、通常の写真エッチング工程によりエッチングマスクパターンを形成した後、このエッチングマスクを使って前記層間絶縁物68をドライエッチングすることで形成される。このとき、ソース及びドレイン領域上に露出される半導体基板60の表面は、ドライエッチングによるダミッジを受けるため、各種の表面欠陥が引き起こされる。

【0068】したがって、前記表面欠陥をキュアリングし、このような表面欠陥による表面粗さを改善するために、本発明によるアニーリング工程を行なう。第6実施形態のアニーリング段階の工程条件も、基本的に第1実施形態と同様である。

【0069】また、第6実施形態の場合にも第5実施形態と同様に、半導体基板60に既に不純物が注入された状態であるため、低温短時間にアニーリング工程を行なうことで、目的としない領域への不純物の拡散を防止できるという側面から、その効果は一層増大する。

【0070】<第7実施形態>図8は、本発明の第7実施形態を説明するための図面であって、半導体素子の製造過程に半導体基板がドライエッチング工程によって露出される場合の他の例を示すものであって、自己整列コンタクト(SAC)構造を形成する過程を示す断面図である。

【0071】図8を参照すれば、半導体基板70上に所定の蒸着及びエッチング工程などを施してゲート絶縁膜72及びゲート電極74からなるゲート構造を形成し、基板の全面に絶縁物質を蒸着させた後、前記絶縁物質を半導体基板70が露出するまでエッチバックしてゲート構造の側壁にスペーサ76を形成する。次に、基板の全面に層間絶縁物78を形成させる。次に、前記スペーサ76を使って半導体基板70が露出するまでエッチング工程を行なうと、前記スペーサ76により自己整列されたSAC 79が形成される。このとき、半導体基板70の表面は、ドライエッチングによるダミッジを受けるため、各種の表面欠陥が引き起こされる。

【0072】したがって、前記表面欠陥をキュアリングし、このような表面欠陥による表面粗さを改善するために、本発明によるアニーリング工程を行なう。第7実施形態のアニーリング段階の工程条件も、基本的に第1実施形態と同様である。また、第7実施形態の場合にも第5実施形態と同様に、半導体基板70に既に不純物が注入された状態であるため、低温短時間にアニーリング工程を行なうことで、目的としない領域への不純物の拡散

を防止できるという側面から、その効果は一層増大する。

【0073】以上の各実施形態は、半導体ウェーハの製造過程及び後続する半導体素子の製造過程で予想される表面欠陥の発生段階によって区別したが、各実施形態に含まれてない各種の場合も存在する。例えば、各実施形態は主としてポリシング段階により引き起こされる表面欠陥、ドライエッチング工程段階によって引き起こされる表面欠陥について詳述したが、そのほか、半導体基板に不純物を注入するためのイオン注入段階によって引き起こされる表面欠陥などに対しても、やはり同様の原理が適用できる。

【0074】

【発明の効果】以上述べたように、本発明によれば、高真空雰囲気下でアニーリングが行われるので、低温で、かつ短時間に表面欠陥のキュアリングが可能になる。このことは、半導体素子の製造過程においてサーマルバジットの制限からより自由だということを意味し、ひいては、半導体素子の量産性及び素子の信頼性を向上させることでもある。

【0075】さらに、高真空雰囲気のほかにも、外部から半導体物質ソースガスを共に供給してやるために、より速いキュアリング効果が発揮でき、その効果は一層増大する。

【0076】一方、前記各実施形態は本発明の例示的なものに過ぎず、本発明の技術的な思想範囲内で当技術分野における通常の知識を有した者なら、これより各種の変形実施が可能なのは言うまでもない。

【図面の簡単な説明】

【図1】半導体ウェーハの表面に存在する結晶欠陥を概略的に示す模式図である。

【図2】本発明の第1実施形態によって半導体ウェーハの結晶欠陥がキュアリングされたことを示す概略的な模式図である。

【図3】本発明の第2実施形態が適用されるSOIウェーハの概略的な断面図である。

【図4】AおよびBは本発明の第3実施形態が適用されるSTI構造を形成する工程断面図である。

【図5】AないしCは本発明の第4実施形態が適用されるSTI構造を形成する工程断面図である。

【図6】AおよびBは本発明の第5実施形態が適用されるスペーサ構造を形成する工程断面図である。

【図7】AおよびBは本発明の第6実施形態が適用されるMC構造を形成する工程断面図である。

【図8】本発明の第7実施形態が適用されるSAC構造を示す断面図である。

【図9】ドライエッチング工程を行なった後の基板表面構造をAFM分析した結果の写真である。

【図10】ドライエッチング工程を行った後、本発明の一実施形態によってアニーリング処理を施した後の基板表面構造をAFM分析した結果の写真である。

【図11】本発明の効果を確認するために測定したプレーキダウン電荷の変化を示すグラフである。

【符号の説明】

10…シリコンウェーハ

20 22…絶縁層

24…シリコン層

30…基板

32…バッド酸化膜

34…シリコン窒化膜

36、42…フォトリソパターン

38、44…トレンチ

40、50、60、70…半導体基板

46…熱酸化膜

48…酸化膜

30 49…素子分離膜

52、62、72ゲート…絶縁膜

54、64、74ゲート…電極

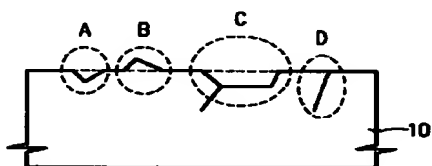
58、66、76…スペーサ

68、78…層間絶縁膜

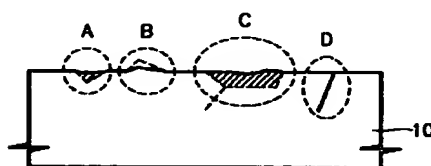
69…メタルコンタクトホール

79…SAC

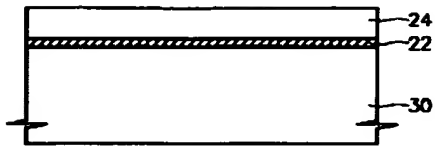
【図1】



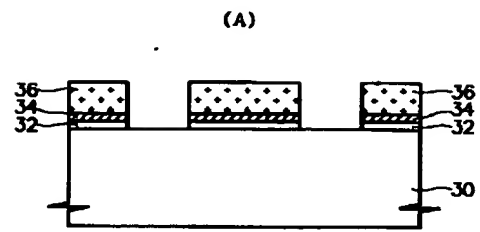
【図2】



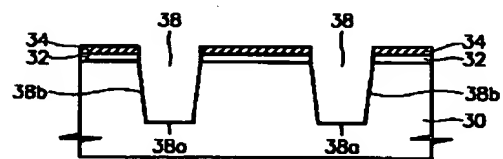
【図3】



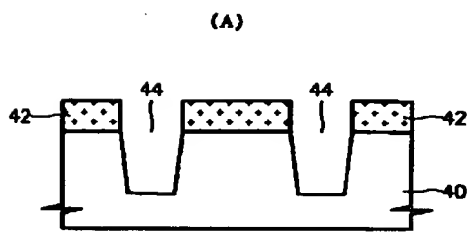
【図4】



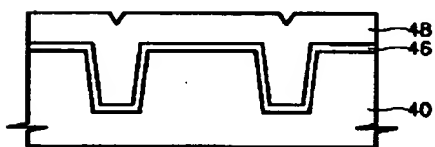
(B)



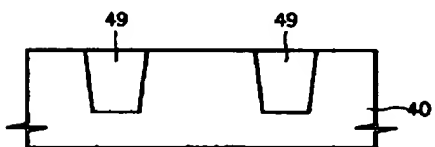
【図5】



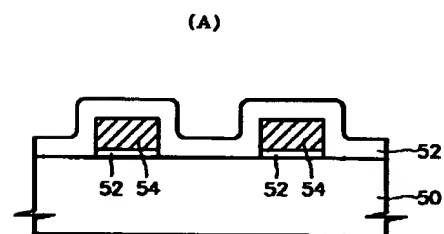
(B)



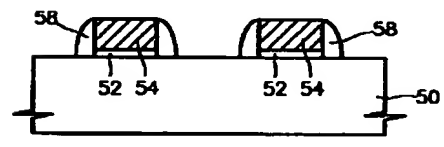
(C)



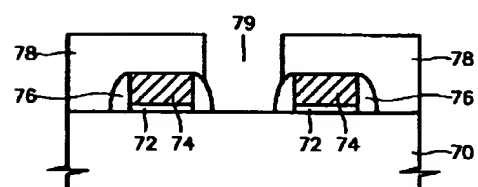
【図6】



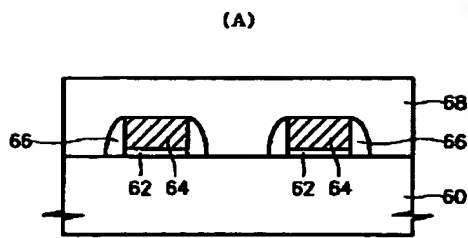
(B)



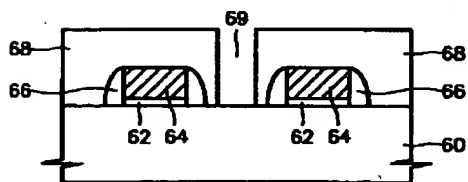
【図8】



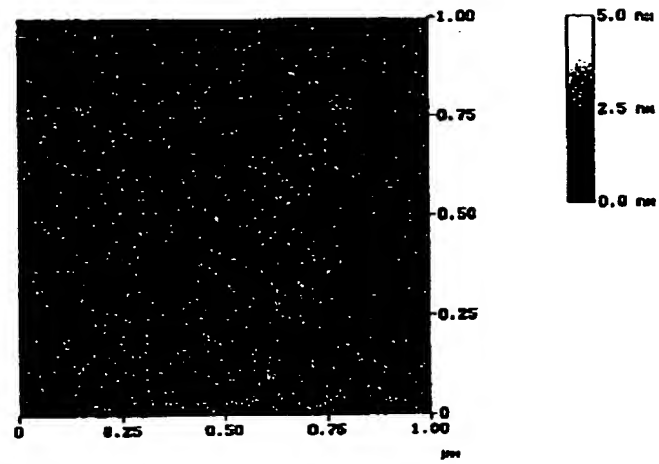
【図7】



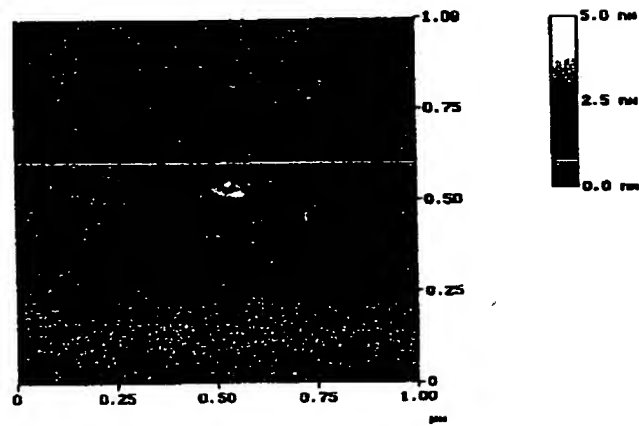
(B)



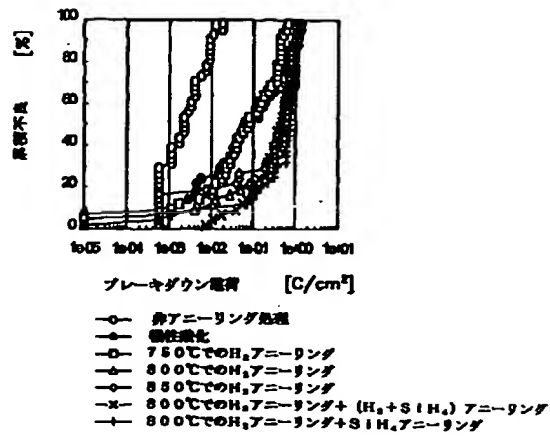
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 朴 泰 ▲しよ▼
大韓民国京畿道水原市八達区靈通洞989-
2番地 現代アパート730棟1303号

(72)発明者 李 韓 信
大韓民国京畿道儀旺市五全洞849番地 冬
柏アパート105棟901号

(72)発明者 朴 ▲けい▼ 媛
大韓民国京畿道水原市八達区梅灘1洞153
-65番地204号